

PN - JP62262165 A 19871114
PD - 1987-11-14
PR - JP19860103888 19860508
OPD - 1986-05-08
TI - INFORMATION PROCESSOR
IN - UCHIDA AKIO
PA - NIPPON ELECTRIC CO
EC - G06F13/42C1S
IC - G06F1/04 ; G06F11/24 ; G06F13/42

SEARCHED

PN - JP62262165 A 19871114
PD - 1987-11-14
AP - JP19860103888 19860508
IN - UCHIDA AKIO
PA - NEC CORP
TI - INFORMATION PROCESSOR
AB - PURPOSE:To periodically and automatically execute a clock margin test by executing the instruction of an information processor itself, by providing a monitor consisting of plural clock generating circuits and a means such as for selecting one of them in the information processor.
- CONSTITUTION:A bus monitor 4 is constituted of a clock generating circuit 101, a selecting circuit 102, a bus clock circuit 103, an instruction receiving circuit 104, a watch dog timer circuit 105, and a selection control circuit 106, and connected to a bus 5. The circuit 101 consists of a clock for generating a standard frequency, and other prescribed number of clocks for generating a frequency increased or decreased by a prescribed amount from the standard frequency. A processor 1 operates the circuit 102 by a prescribed program, performs periodically and automatically a clock margin test, and in case of a failure, the circuit 105 is operated and it is displayed by a buzzer, and a part in which a clock margin is short is informed beforehand.
- G06F13/42 ;G06F1/04 ;G06F11/24

⑫ 公開特許公報 (A)

昭62-262165

⑬ Int. Cl. 4

G 06 F 13/42
1/04
11/24

識別記号

350

厅内整理番号

B-7165-5B
7157-5B
7368-5B

⑭ 公開 昭和62年(1987)11月14日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 情報処理装置

⑯ 特願 昭61-103888

⑰ 出願 昭61(1986)5月8日

⑱ 発明者 内田 昭雄 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代理人 弁理士 芦田 坦 外2名

明細書

1. 発明の名称

情報処理装置

2. 特許請求の範囲

1. 2つ以上のクロック発生回路と、前記クロック発生回路の出力のうち任意の1つを選択するセレクト回路と、前記セレクト回路の出力をもつてバスクロックとしてバスに供給するバスクロック回路と、~~並列~~プロセッサからの命令によりバスクロック切替え情報を受信する命令受信回路と、前記命令受信回路の出力とバスからの初期化信号とウォッチドッグタイム回路の出力とから前記セレクト回路に切替信号を印加する選択制御回路とを含むバス監視装置を有することを特徴とする情報処理装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は情報処理装置に関し、特にバスクロック変動試験を自動実行する情報処理装置に関する。

〔従来の技術〕

従来、情報処理装置において、その装置を構成する論理素子の不良を摘出したり、あるいは、バスに接続されたプロセッサを含む各種入出力制御装置、主記憶装置の動作マージン不良を摘出する方法として、動作クロックを若干変動させて動作試験を行う方法は一般に知られている。特に間欠的に発生する比較的発生頻度の低い不具合現象に対して、不良部分を指摘する場合に、有効であることも知られている。

一般に上記試験方法はクロックマージン試験と呼ばれ、当該試験を実施することで、動作の安定性、すなわち半導体素子の遅延特性のバラツキ等による誤動作の要因がないことを保証することにもなり、予防保守的に実施される。

しかし、従来この種の情報処理装置、特に中・小型の情報処理装置においては、前記クロックマージン試験を手動操作かもしくは特殊判定工具を

用いて行うにすぎなかつた。すなわち、当該情報処理装置内のクロック源を手動で切替えるか、または、外部から印加させることで、情報処理装置全体の動作を確認せざるを得なかつた。

〔発明が解決しようとする問題点〕

上述した従来の情報処理装置のクロックマージン試験方法は、手動操作のため、少くとも通常運転中にある情報処理装置を一旦停止させ業務を中断して試験するという運用上の問題点がある。

〔問題点を解決するための手段〕

本発明によると、2つ以上のクロック発生回路と、前記クロック発生回路の出力のうち任意の1つを選択しうるセレクト回路と、前記セレクト回路の出力をもつてバスクロックとしてバスに供給するバスクロック回路と、プロセッサからの命令によりバスクロック切替え情報を受信する命令受信回路と、前記命令受信回路の出力とバスからの初期化信号とウォッチドッグタイマ回路の出力とから前記セレクト回路に切替信号を印加する選択制御回路とを含むバス監視装置を有することを特

クロックマージン試験を実施する際の動作について主に説明する。

第2図は第1図のバス監視装置4の構成をより詳細に説明するための図である。なおこのバス監視装置4は本発明に関係ある部分のみを図示してある。

第2図で101-1はクロック発生回路の1つで、通常動作に必要な周波数のバスクロックを発生するものとする。101-2、101-3は各々同じくクロック発生回路の1つで、前記クロック発生回路101-1の発振周波数に対してそれぞれ例えば+10%、-10%高いか低い周波数のバスクロックを発生するものとする。102はセレクト回路で、信号線220、221よりの信号により、前記クロック発生回路101-1、101-2、101-3の1つを選択する機能を有す。103はバスクロック回路で、前記選択されたクロック信号をバスに供給するためのドライバ回路、スキューピング回路を含む。

さらに201はバスドライバレシーバ回路、

202はバス制御回路、203は命令デコード回路、204は選択信号デコード回路、205は各々信号線220、221に対応するフリップ・フロップであり、以上で選択制御回路(第1図の106)を構成する。信号線222は初期化信号線で、バスから供給され、また207はオアゲートである。

次にこの実施例の動作を説明する。電源投入時等初期状態においては、フリップ・フロップ205、206は各々リセットされ、信号線220、221によりクロック発生回路101-1の出力がバス5に印加され、バス5上の全装置は通常の動作を行う。

さて、当該クロックマージン試験を行う際プロ

セスとする情報処理装置が得られる。

〔実施例〕

次に本発明について図面を参照して説明する。第1図は本発明の一実施例を示すブロック図、第2図は第1図のバス監視装置の主要部分の一例を示すブロック図である。

第1図において、1はプロセッサ、2は主記憶装置、3は各種入出力装置、4はバス監視装置であり、各々は单一バス5を介してデータ送受が行なわれる。また101は複数のクロック発生回路、102はセレクト回路、103はバスクロック回路、104は命令受信回路、105はウォッチドッグタイマ回路、106は選択制御回路である。

この実施例の情報処理装置はバス監視回路4からバス5上に印加されるクロックを基準にすべてのデータ送受の動作が行なわれるものであり、通常すなわち初期状態においては、あらかじめ定められた規定の周波数のクロックに同期して動作する。

以下に、本発明の情報処理装置において、クロ

セッサ1は、プログラム命令によりバス監視装置4に対し、クロック周波数の変更、例えば+10%又は-10%の変更を指示する。前記命令は命令デコーダ回路203、選択信号デコーダ回路204によりフリップ・フロップ205、206のいずれかをセットし、クロック発生回路101-2又は101-3のいずれかに対応する方のクロック信号が選択され、バス5に供給される。

このとき、クロック信号の切替時の位相調整が必要になり、選択信号デコーダ回路204の出力によりバスクロック回路103はチャッタ等の不正パルスを出さないよう、最小パルス間隔を保証するよう機能する。

以上によりクロック変更後の情報処理装置全体の動作に異常がなければ、クロックマージン試験は終了されるが、不幸にして動作不良が発生した場合は、プロセッサ1のプログラム命令により、ウォッチドッグタイマ回路105への信号が断たれ、アラーム信号が出力される。アラーム信号は信号線223によりオアゲート207に印加され

装置、4…バス監視装置、5…バス、101…クロック発生回路、102…セレクト回路、103…バスクロック回路、104…命令受信回路、105…ウォッチドッグタイマ回路、106…選択制御回路、201…バスドライバ回路、202…バス制御回路、203…命令デコーダ回路、204…選択信号デコーダ回路、205…206…フリップ・フロップ、207…オアゲート。

代理人(7783)弁理士 池田憲保



初期化時と同様、クロック発生回路101-1を選択するよう機能する。よって正常に試験が実行されたならば、このとき当該情報処理装置はその時点でクロックマージンは充分であり、予防保守としても実施されたことになる。また、エラーがあった場合はクロックマージンの不足している部分を事前に把握できるので障害発生を未然に防ぐことができる。

[発明の効果]

本発明は、以上説明したように、情報処理装置自身の命令実行により、自らのバスクロックを制御することで自動的に、且つ定期的にクロックマージン試験を実施し、機能動作の安定性を確認し、不具合を事前に発見できるという効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例のブロック構成図、第2図は第1図のバス監視装置の主要部分の1例のブロック構成図である。

1…プロセッサ、2…主記憶装置、3…入出力

第1図



